



**PATENT APPLICATION**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Yojiro MATSUEDA et al.

Application No.: 10/676,067

Filed: October 2, 2003

Docket No.: 117390

For: ELECTRO-OPTICAL DEVICE, MATRIX SUBSTRATE,  
AND ELECTRONIC APPARATUS

**CLAIM FOR PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2002-293696, filed October 7, 2002.

In support of this claim, a certified copy of said original foreign application:

  X   is filed herewith.

           was filed on            in Parent Application No.            filed           .

           will be filed at a later date.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

James A. Oliff  
Registration No. 27,075

Eric D. Morehouse  
Registration No. 38,565

JAO:EDM/gam

Date: October 23, 2003

**OLIFF & BERRIDGE, PLC**  
**P.O. Box 19928**  
**Alexandria, Virginia 22320**  
**Telephone: (703) 836-6400**

<p>DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461</p>
--

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年 1 0 月    7 日  
Date of Application:

出 願 番 号            特 願 2 0 0 2 - 2 9 3 6 9 6  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 2 - 2 9 3 6 9 6 ]

出      願      人            セイコーエプソン株式会社  
Applicant(s):

2 0 0 3 年    9 月 1 1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 7 4 6 5 6

【書類名】 特許願

【整理番号】 J0091837

【あて先】 特許庁長官殿

【国際特許分類】 H05B 33/04

【発明者】

    【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

    【氏名】 松枝 洋二郎

【発明者】

    【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

    【氏名】 中西 早人

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100079108

    【弁理士】

    【氏名又は名称】 稲葉 良幸

【選任した代理人】

    【識別番号】 100080953

    【弁理士】

    【氏名又は名称】 田中 克郎

【選任した代理人】

    【識別番号】 100093861

    【弁理士】

    【氏名又は名称】 大賀 眞司

【手数料の表示】

【予納台帳番号】 011903

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808570

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気光学装置、マトリクス基板、及び電子機器

【特許請求の範囲】

【請求項 1】 電源回路から電源供給を受けて駆動される電気光学素子を含む、マトリクス状に配置された複数の画素を備えた電気光学装置であって、

前記複数の画素は、行方向又は列方向のうち少なくとも何れか一方向に並ぶ一連の画素からなる複数の画素群を構成しており、

前記複数の画素群の各々の画素群の間に配線形成領域が設けられ、

前記配線形成領域の幅は略等しい、

ことを特徴とする、電気光学装置。

【請求項 2】 複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差部に対応して配置された各々に電気光学素子を備えた複数の画素と、を含む電気光学装置であって、

前記電気光学素子に駆動電圧を供給する複数の電源線を含み、

前記複数の画素は、行方向又は列方向のうち少なくとも何れか一方向に並ぶ一連の画素からなる画素群を構成し、

前記複数の画素群の各々の画素群の間に複数の配線形成領域が設けられ、

前記複数の配線形成領域のうち、少なくとも 1 つの配線形成領域には、前記複数の電源線のうち少なくとも一つの電源線、前記複数の走査線のうち少なくとも一つの走査線、及び前記複数のデータ線のうち少なくとも一つのデータ線から選ばれた少なくとも二つの配線が形成されている、

ことを特徴とする、電気光学装置。

【請求項 3】 複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差部に対応して配置された各々に電気光学素子を備えた複数の画素と、を含む電気光学装置であって、

前記電気光学素子に駆動電圧を供給する複数の電源線を含み、

前記複数の画素は、行方向又は列方向のうち少なくとも何れか一方向に並ぶ一連の画素からなる画素群を構成し、

前記複数の画素群の各々の画素群の間に複数の配線形成領域が設けられ、

前記複数の配線形成領域のうち、少なくとも 1 つの配線形成領域には、前記複数の電源線のうち少なくとも一つの電源線と、前記複数の走査線のうち少なくとも一つの走査線がともに形成されている、

ことを特徴とする、電気光学装置。

【請求項 4】 複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差部に対応して配置された各々に電気光学素子を備えた複数の画素と、を含む電気光学装置であって、

前記電気光学素子に駆動電圧を供給する複数の電源線を含み、

前記複数の画素は、行方向又は列方向のうち少なくとも何れか一方向に並ぶ一連の画素からなる画素群を構成し、

前記複数の画素群の各々の画素群の間に複数の配線形成領域が設けられ、

前記複数の配線形成領域のうち、少なくとも 1 つの配線形成領域には、前記複数の電源線のうち少なくとも一つの電源線と、前記複数のデータ線のうち少なくとも一つのデータ線がともに形成されている、

ことを特徴とする、電気光学装置。

【請求項 5】 請求項 2 乃至請求項 4 のうち何れか 1 項に記載の電気光学装置であって、前記配線形成領域の幅は略等しいことを特徴とする電気光学装置。

【請求項 6】 前記電気光学素子には、駆動電圧が異なる電気光学素子を含み、前記駆動電圧に応じて前記電気光学素子へ電圧を供給する電源線の幅が異なることを特徴とする請求項 1 乃至請求項 5 のうち何れか 1 項に記載の電気光学装置。

【請求項 7】 前記電気光学素子は発光素子であり、前記電源線は前記発光素子の発光色に対応して幅が異なることを特徴とする請求項 6 に記載の電気光学装置。

【請求項 8】 前記発光色は、赤、緑、又は青であることを特徴とする請求項 7 に記載の電気光学装置。

【請求項 9】 前記電気光学素子はエレクトロルミネセンス素子であることを特徴とする請求項 1 乃至請求項 8 のうち何れか 1 項に記載の電気光学装置。

【請求項 10】 請求項 1 乃至請求項 9 のうち何れか 1 項に記載の電気光学

装置を備える電子機器。

【請求項 1 1】 マトリクス状に配置された複数の画素電極を備えたマトリクス基板であって、

前記複数の画素電極は、行方向又は列方向のうち少なくとも何れか一方向に並ぶ一連の画素電極からなる複数の画素電極群を構成しており、

前記複数の画素電極群の各々の画素電極群の間に配線形成領域が設けられ、

前記配線形成領域の幅は略等しい、

ことを特徴とする、マトリクス基板。

【請求項 1 2】 複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差部に対応して配置された複数の画素電極と、を含むマトリクス基板であって、

前記複数の画素電極に電圧を供給するための複数の電源線を含み、

前記複数の画素電極は、行方向又は列方向のうち少なくとも何れか一方向に並ぶ一連の画素からなる画素電極群を構成し、

前記複数の画素電極群の各々の画素電極群の間に複数の配線形成領域が設けられ、

前記複数の配線形成領域のうち、少なくとも 1 つの配線形成領域には、前記複数の電源線のうち少なくとも一つの電源線、前記複数の走査線のうち少なくとも一つの走査線、及び前記複数のデータ線のうち少なくとも一つのデータ線から選ばれた少なくとも二つの配線が形成されている、

ことを特徴とする、マトリクス基板。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は電気光学素子を備えた電気光学装に好適な配線レイアウトに関する。

【0 0 0 2】

【従来の技術】

有機 E L 素子は電流駆動型の自発光素子であるため、バックライトが不要となる上に、低消費電力、高視野角、高コントラスト比が得られるメリットがあり、

フラットパネルディスプレイの開発において期待されている。有機EL素子は陽極と陰極との間に介在する発光層を備えた電気光学素子であり、両電極間に順バイアス電流を供給することで、陽極から注入された正孔と陰極から注入された電子とが再結合する際の再結合エネルギーにより自発光する。このため、有機EL素子を発光させるためには、外部回路からの電源供給が必要となる。

#### 【0003】

従来のカラー表示用のアクティブマトリクス駆動型ディスプレイパネルにおいては、例えば、画素領域内にN行M列のマトリクス状に配された画素マトリクスの列方向に各々M本の電源線とデータ線を敷設する一方で、同マトリクスの行方向にN本の選択線を敷設している。このような配線レイアウトでは、ある特定の画素に着目したとき、例えば、当該特定の画素に対して左に隣接する画素との間にデータ線を敷設する一方、右に隣接する画素との間に電源線を敷設している。つまり、相互に隣接する画素間に敷設されている列方向のラインに着目すると、当該ラインには1本のデータ線と1本の電源線が1組となってレイアウトされている。上記の構成において、走査線とデータ線の交差点には、スイッチングトランジスタと、保持容量と、駆動トランジスタと、RGB三原色で発光する有機EL素子とが配され、これらの素子により画素を構成している。

#### 【0004】

##### 【発明が解決しようとする課題】

しかし、RGB三原色の各色毎に発光層の材料が異なるため、各色の有機EL素子における消費電力も大きく異なり、結果として、電源線の最適な幅も色毎に大きく異なることとなる。上記の配線レイアウトで電源線を敷設すると、最大幅にあわせて画素ピッチを選定しなければならないところ、ディスプレイの製造プロセス上、画素ピッチを等間隔に設定する要請があるため、開口率を犠牲にして画素レイアウトを決定しなければならない。その一方で、開口率を小さくすると、所定の輝度を得るために有機EL素子に供給される電流量を大きくする必要があり、その結果、電源線の幅をさらに広くしなければならず、上記の理由によりさらに開口率を小さくする必要がある。

#### 【0005】



このように、従来の配線レイアウトでは電源線の幅と画素の開口率はトレードオフの関係にあり、画素ピッチを等間隔にするという条件下で、各色に好適な電源線の幅を確保しつつ、開口率を大きく確保することは困難であった。

#### 【0006】

そこで、本発明は画素の配列ピッチを等間隔に設定しつつ、画素の開口率を高めることができる電源線の配線技術を提案することを課題とする。

#### 【0007】

##### 【課題を解決するための手段】

上記の課題を解決するため、本発明の電気光学装置は、電源回路から電源供給を受けて駆動される電気光学素子を含む、マトリクス状に配置された複数の画素を備えた電気光学装置であって、前記複数の画素は、行方向又は列方向のうち少なくとも何れか一方向に並ぶ一連の画素からなる複数の画素群を構成しており、前記複数の画素群の各々の画素群の間に配線形成領域が設けられ、前記配線形成領域の幅は略等しい、ことを特徴とする。かかる構成により、画素ピッチを等間隔に設定できる。

#### 【0008】

ここで、「電気光学素子」とは、電気的作用により光の光学的状態を変化させる電子素子一般をいい、エレクトロルミネセンス素子などの自発光素子の他に、液晶素子のように光の偏向状態を変化させることで階調表示する電子素子を含む。本発明ではエレクトロルミネセンス素子が好適である。エレクトロルミネセンス素子を用いることで、電流駆動により自発光する電流駆動型発光素子を得ることができる。

#### 【0009】

本発明の電気光学装置は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差部に対応して配置された各々に電気光学素子を備えた複数の画素と、を含む電気光学装置であって、前記電気光学素子に駆動電圧を供給する複数の電源線を含み、前記複数の画素は、行方向又は列方向のうち少なくとも何れか一方向に並ぶ一連の画素からなる画素群を構成し、前記複数の画素群の各々の画素群の間に複数の配線形成領域が設けられ、前記複数の配線形成領域のう

ち、少なくとも 1 つの配線形成領域には、前記複数の電源線のうち少なくとも一つの電源線、前記複数の走査線のうち少なくとも一つの走査線、及び前記複数のデータ線のうち少なくとも一つのデータ線から選ばれた少なくとも二つの配線が形成されている、ことを特徴とする。かかる構成により、画素ピッチを等間隔に設定することができる上に、最適な電源幅を選択しつつ、画素の高開口率を得ることができる。

#### 【0 0 1 0】

本発明の電気光学装置は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差部に対応して配置された各々に電気光学素子を備えた複数の画素と、を含む電気光学装置であって、前記電気光学素子に駆動電圧を供給する複数の電源線を含み、前記複数の画素は、行方向又は列方向のうち少なくとも何れか一方に並ぶ一連の画素からなる画素群を構成し、前記複数の画素群の各々の画素群の間に複数の配線形成領域が設けられ、前記複数の配線形成領域のうち、少なくとも 1 つの配線形成領域には、前記複数の電源線のうち少なくとも一つの電源線と、前記複数の走査線のうち少なくとも一つの走査線がともに形成されている、ことを特徴とする。かかる構成により、画素ピッチを等間隔に設定することができる上に、最適な電源幅を選択しつつ、画素の高開口率を得ることができる。

#### 【0 0 1 1】

本発明の電気光学装置は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差部に対応して配置された各々に電気光学素子を備えた複数の画素と、を含む電気光学装置であって、前記電気光学素子に駆動電圧を供給する複数の電源線を含み、前記複数の画素は、行方向又は列方向のうち少なくとも何れか一方に並ぶ一連の画素からなる画素群を構成し、前記複数の画素群の各々の画素群の間に複数の配線形成領域が設けられ、前記複数の配線形成領域のうち、少なくとも 1 つの配線形成領域には、前記複数の電源線のうち少なくとも一つの電源線と、前記複数のデータ線のうち少なくとも一つのデータ線がともに形成されている、ことを特徴とする。かかる構成により、画素ピッチを等間隔に設定することができる上に、最適な電源幅を選択しつつ、画素の高開口率を得るこ

とができる。

**【0012】**

好ましくは、前記配線形成領域の幅を略等しくする。配線形成領域の幅を略等しくすることで、画素ピッチを等間隔に設定できる。

**【0013】**

好ましくは、前記電気光学素子には、駆動電圧が異なる電気光学素子を含み、前記駆動電圧に応じて前記電気光学素子へ電圧を供給する電源線の幅が異なる。電源線の幅が異なる場合であっても、上述のように配線レイアウトを工夫することで、開口率を高めつつ、画素ピッチを等間隔にできる。

**【0014】**

好ましくは、前記電気光学素子は発光素子であり、前記電源線は前記発光素子の発光色に対応して幅が異なる。電気光学素子の特性に応じた最適な電源幅を選択することにより、デバイス設計の自由度を高めることができる。

**【0015】**

好ましくは、前記発光色は、赤、緑、又は青である。これにより、フルカラー表示が可能となる。

**【0016】**

好ましくは、前記電気光学素子はエレクトロルミネセンス素子である。エレクトロルミネセンス素子によれば、電流制御により発光階調を制御できる。

**【0017】**

本発明の電子機器は、本発明の電気光学装置を備える。電子機器としては、表示装置を備えるものであれば特に限定はなく、例えば、携帯電話、ビデオカメラ、パーソナルコンピュータ、ヘッドマウントディスプレイ、プロジェクタ、ファックス装置、デジタルカメラ、携帯型TV、DSP装置、PDA、電子手帳などに適用できる。

**【0018】**

本発明のマトリクス基板は、マトリクス状に配置された複数の画素電極を備えたマトリクス基板であって、前記複数の画素電極は、行方向又は列方向のうち少なくとも何れか一方向に並ぶ一連の画素電極からなる複数の画素電極群を構成し

ており、前記複数の画素電極群の各々の画素電極群の間に配線形成領域が設けられ、前記配線形成領域の幅は略等しい、ことを特徴とする。かかる構成により、画素ピッチを等間隔に設定できる。

#### 【0019】

本発明のマトリクス基板は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差部に対応して配置された複数の画素電極と、を含むマトリクス基板であって、前記複数の画素電極に電圧を供給するための複数の電源線を含み、前記複数の画素電極は、行方向又は列方向のうち少なくとも何れか一方方向に並ぶ一連の画素からなる画素電極群を構成し、前記複数の画素電極群の各々の画素電極群の間に複数の配線形成領域が設けられ、前記複数の配線形成領域のうち、少なくとも1つの配線形成領域には、前記複数の電源線のうち少なくとも一つの電源線、前記複数の走査線のうち少なくとも一つの走査線、及び前記複数のデータ線のうち少なくとも一つのデータ線から選ばれた少なくとも二つの配線が形成されている、ことを特徴とする。かかる構成により、画素ピッチを等間隔に設定することができる上に、最適な電源幅を選択しつつ、画素の高開口率を得ることができる。

#### 【0020】

##### 【発明の実施の形態】

##### 発明の実施の形態1.

以下、各図を参照して本実施形態について説明する。

#### 【0021】

図1は本実施形態のアクティブマトリクス型有機ELディスプレイパネル100の全体構成図である。同図に示すように、ディスプレイパネル100は基板16上にてN行M列のマトリクス状に配列された複数の画素10を備える表示領域11と、行方向に並ぶ一群の画素10に接続する走査線に走査信号を出力する走査線ドライバ12と、列方向に並ぶ一群の画素10に接続するデータ線及び電源線にデータ信号及び電源電圧を供給するデータ線ドライバ13とを備えて構成されている。各々の画素10には、RGB三原色で発光する有機EL素子が形成されている。表示領域11の全面には共通電極としての陰極14が被覆成膜されて

おり、陰極取り出し電極 15 を介して外部回路と接続している。

#### 【0022】

尚、同図に示す有機 EL ディスプレイパネル 100 は、基板 16 側から光を射出するいわゆるトップエミッション構造のタイプであるが、本発明はこれに限らず、透明陰極から光を射出するいわゆるボトムエミッション構造のタイプでもよい。

#### 【0023】

図 2 は画素 10 の主要回路構成図である。画素 10 は、スイッチングトランジスタ  $T_{r1}$  と、駆動トランジスタ  $T_{r2}$  と、保持容量  $C$  と、発光部 OLED とを備えて構成されており、2 トランジスタ方式により駆動制御される。スイッチングトランジスタ  $T_{r1}$  は n チャネル型 FET であり、そのゲート端子には走査線  $V_{sel}$  が接続されており、ドレイン端子にはデータ線  $I_{dat}$  が接続している。駆動トランジスタ  $T_{r2}$  は p チャネル型 FET であり、そのゲート端子はスイッチングトランジスタ  $T_{r1}$  のソース端子に接続されている。また、同トランジスタのソース端子は電源線  $V_{dd}$  に接続されており、ドレイン端子は発光部 OLED に接続している。さらに、同トランジスタのゲート／ソース間には保持容量が形成されている。上記の構成において、走査線  $V_{sel}$  に選択信号を出力し、スイッチングトランジスタ  $T_{r1}$  を開状態にすると、データ線  $I_{dat}$  を介して供給されたデータ信号は電圧値として保持容量  $C$  に書き込まれる。すると、保持容量  $C$  に書き込まれた保持電圧は 1 フレーム期間を通じて保持され、当該保持電圧によって、駆動トランジスタ  $T_{r2}$  のコンダクタンスがアナログ的に変化し、発光諧調に対応した順バイアス電流を発光部 OLED に供給する。

#### 【0024】

図 3 は画素領域内における配線レイアウトを説明するための図である。同図においては、説明を簡略化するため、2 行 3 列に配列する 6 画素分の配線レイアウトを図示している。図中、R、G、B とあるのは、それぞれ赤、緑、青で発光する画素 10 であることを意味しており、RGB の画素群が列方向に配列している。また、 $V_{dd-R}$  は赤の画素の電源線、 $V_{dd-G}$  は緑の画素の電源線、 $V_{dd-B}$  は青の画素の電源線、17 は有機 EL 素子の画素電極（陽極）である。その他の符号の

うち上述したものについては詳細な説明を省略する。また、31は $(m-1)$ 列の画素群と $m$ 列の画素群の間に形成されるライン状の配線形成領域であり、列方向の画素配列長とほぼ同程度の長さになつて、列方向に延在している。同様に、32は $m$ 列と $(m+1)$ 列の画素群の間、33は $(m+1)$ 列と $(m+2)$ 列の画素群の間、34は $(m+2)$ 列と $(m+3)$ 列の画素群の間に形成される配線形成領域である。説明の便宜上、 $(m-1)$ 列の画素群と $(m+3)$ 列の画素群は図示されていない。本実施形態においては、配線形成領域31～34の幅をできるだけ均一に設定するため、これらの配線形成領域にレイアウトされる2以上の配幅の合計を各々等しくする。電源線 $V_{dd}$ の幅は有機EL素子の発光層の材料によって異なるが、ここでは説明の便宜上、緑、赤、青の順に電源線の幅が大きくなるものとする。つまり、 $V_{dd-G}$ の幅 $>V_{dd-R}$ の幅 $>V_{dd-B}$ の幅と仮定する。

#### 【0025】

上記の仮定の下では、配線形成領域31～34の幅をできるだけ均一にするため、電源線 $V_{dd}$ とデータ線 $I_{dat}$ の幅の合計値がほぼ等しくなるような組み合わせを選択する。例えば、最大幅を有する $V_{dd-G}$ と最小幅を有する $V_{dd-B}$ との幅の合計値と、中間幅を有する $V_{dd-R}$ とデータ線 $I_{dat}$ の幅の合計値と、データ線 $I_{dat}$ 2本の幅の合計値とがそれぞれほぼ等しいものとする。これらの電源線 $V_{dd}$ とデータ線 $I_{dat}$ の組み合わせを各配線形成領域31～34上にレイアウトする。同図に示す例では、最大幅を有する $V_{dd-G}$ と最小幅を有する $V_{dd-B}$ とを一組にして、配線形成領域33上にレイアウトし、中間幅を有する $V_{dd-R}$ とデータ線 $I_{dat}$ とを一組にして、配線形成領域31及び34上にレイアウトし、データ線 $I_{dat}$ 2本を一組にして、配線形成領域32上にレイアウトしている。但し、配線形成領域31については、電源線 $V_{dd-R}$ のみを図示し、配線形成領域34についてはデータ線 $I_{dat}$ のみを図示している。一方、走査線 $V_{sel}$ については、行方向に並ぶ画素群同士の間において、当該画素群の画素配列長とほぼ同程度の長さを有するライン状の配線形成領域につき、1本ずつレイアウトされている。同図に示す配線レイアウトは周期的に繰り返す配線パターンの1単位を示すものであり、任意に選んだRGBの画素10における配線レイアウトは全て同図に示すパターンに設定されている。このため、本実施形態においては、画素の列方向に沿って

形成される配線形成領域の配置レイアウトを規定するレイアウト図を仮想的に想定して、複数の配線形成領域のうち特定の配線形成領域に着目し、当該配線形成領域を中心として前記レイアウト図を仮想的に折り返したとき、同種類の配線の組み合わせを有する配線形成領域同士が重なるようになっている。

#### 【0026】

本実施形態によれば、画素マトリクスの列方向に延在する同種の電源線が行方向に対して略等間隔の配列ピッチで形成されているため、画素ピッチを等間隔に設定することができ、有機ELディスプレイのように色毎に消費電流の異なるデバイスにおいて設計の自由度を高めることができる。特に、インクジェット方式を利用して発光層を成膜するには、画素ピッチは等間隔であることが望ましいため、製造プロセス上のメリットが大きい。また、色毎に最適な電源線の幅を選択できるため、高開口率を維持したまま、最適な色バランスを確保しつつ、さらに消費電力を低減することができる。

#### 【0027】

但し、上記に示した例は一例であり、上述した例に限られるものではない。例えば、RGB 3本の電源線 $V_{dd}$ のうち何れか2本の電源配線を選択する組み合わせは全部で3通りあるため、本実施形態に示す配線レイアウトのパターンは全部で3通りとなる。また、本実施形態においては、行方向の配線形成領域に走査線 $V_{sel}$ を1本ずつレイアウトし、列方向の配線形成領域31、32、及び33に3本の電源配線 $V_{dd}$ と3本のデータ線 $I_{dat}$ の中から何れか2本の組み合わせを選択してレイアウトする構成を示したが、本発明はこれに限られるものではない。以下に各種の変形例について説明する。

#### 【0028】

発明の実施の形態2.

図4は本発明の第2の形態における配線レイアウトの説明図である。

#### 【0029】

本実施形態においては、画素の行方向に沿って形成される配線形成領域の配置レイアウトを規定するレイアウト図を仮想的に想定して、複数の配線形成領域の

うち特定の配線形成領域に着目し、当該配線形成領域を中心として前記レイアウト図を仮想的に折り返したとき、同種類の配線の組み合わせを有する配線形成領域同士が重なるように構成されている。(n-1)行目の行方向に並ぶ画素群(図示せず)とn行目の行方向に並ぶ画素群との間の配線形成領域41には3本の電源線 $V_{dd-G}$ 、 $V_{dd-R}$ 、及び $V_{dd-B}$ が一組となって行方向にレイアウトされており、n行目の行方向に配列する画素群と(n+1)行目の行方向に配列する画素群との間の配線形成領域42には2本の走査線 $V_{sel}$ が一組となって行方向にレイアウトされている。行方向における配線レイアウトの基本的なパターンは3本の電源線 $V_{dd-G}$ 、 $V_{dd-R}$ 、及び $V_{dd-B}$ と2本の走査線 $V_{sel}$ をそれぞれ一組としてレイアウトし、この基本パターンを周期的に繰り返しレイアウトする構成となっている。従って、(n+1)行目の行方向に配列する画素群と(n+2)行目の行方向に配列する画素群との間の配線形成領域43における配線レイアウトは配線形成領域41における配線レイアウトと同じである。

#### 【0030】

一方、列方向に配列する画素群同士の間の配線形成領域には、1本の電源線 $V_{dd}$ と1本のデータ線 $I_{dat}$ とが一組となって列方向にレイアウトされている。同図に示す例では、m列目の列方向に配列するRの画素群と(m+1)列目の列方向に配列するGの画素群との間の配線形成領域51に電源線 $V_{dd-R}$ とデータ線 $I_{dat}$ とが一組となってレイアウトされている。同様に、(m+1)列目の列方向に配列するGの画素群と(m+2)列目の列方向に配列するBの画素群(図示せず)との間の配線形成領域には電源線 $V_{dd-G}$ とデータ線 $I_{dat}$ とが一組となってレイアウトされているが、説明の便宜上、電源線 $V_{dd-G}$ のみ図示してある。また、行方向及び列方向にレイアウトされている電源線 $V_{dd-R}$ は各々異なるレイヤに敷設されており、層間絶縁膜に開口するコンタクトホールh1を介して導通している。電源線 $V_{dd-G}$ についても同様にコンタクトホールh2を介して導通している。

#### 【0031】

本実施形態によれば、画素マトリクスの行方向に延在する同種の電源線が列方向に対して略等間隔の配列ピッチで形成されているため、実施形態1と同様の効



果が得られる他、電源線  $V_{dd-G}$ 、 $V_{dd-R}$ 、及び  $V_{dd-B}$  が画素領域内においてマトリクス状に行方向及び列方向にレイアウトされているため、電源線  $V_{dd-G}$ 、 $V_{dd-R}$ 、及び  $V_{dd-B}$  の配線抵抗を低減させることができ、有機 EL 素子への電流供給を十分に行うことができる。このため、特定の電源線だけが電流供給不十分になることによる輝度ムラの発生を抑止することができ、クロストークの発生を低減できる。特に、大画面ディスプレイにおいては、画面内に十分な電流を均一に供給する必要があるため、特に効果がある。

#### 【0032】

発明の実施の形態 3.

図 5 は本発明の第 3 の形態における配線レイアウトの説明図である。

#### 【0033】

本実施形態においては、画素の行方向及び列方向に沿って形成される配線形成領域の配置レイアウトを規定するレイアウト図を仮想的に想定して、複数の配線形成領域のうち特定の配線形成領域に着目し、当該配線形成領域を中心として前記レイアウト図を仮想的に折り返したとき、同種類の配線の組み合わせを有する配線形成領域同士が重なるように構成されている。(n-1) 行目の行方向に並ぶ画素群 (図示せず) と n 行目の行方向に並ぶ画素群との間の配線形成領域 6 1 には 3 本の電源線  $V_{dd-G}$ 、 $V_{dd-R}$ 、及び  $V_{dd-B}$  が一組となって行方向にレイアウトされており、n 行目の行方向に配列する画素群と (n+1) 行目の行方向に配列する画素群との間の配線形成領域 6 2 には 2 本の走査線  $V_{sel}$  が一組となって行方向にレイアウトされている。行方向における配線レイアウトの基本的なパターンは 3 本の電源線  $V_{dd-G}$ 、 $V_{dd-R}$ 、及び  $V_{dd-B}$  と 2 本の走査線  $V_{sel}$  をそれぞれ一組としてレイアウトし、この基本パターンを周期的に繰り返しレイアウトする構成となっている。従って、(n+1) 行目の行方向に配列する画素群と (n+2) 行目の行方向に配列する画素群との間の配線形成領域 6 3 における配線レイアウトは配線形成領域 6 1 における配線レイアウトと同じである。

#### 【0034】

一方、列方向に配列する画素群同士の間には 3 本の電源線  $V_{dd-G}$ 、 $V_{dd-R}$ 、及

び $V_{dd-B}$ が3本のデータ線 $I_{dat}$ の中から選ばれた2本一組からなる3通りの組み合わせでレイアウトされている。同図に示す例では、 $(m-1)$ 列目の列方向に配列するBの画素群（図示せず）と $m$ 列目の列方向に配列するRの画素群との間の配線形成領域71に電源線 $V_{dd-G}$ （図示せず）とデータ線 $I_{dat}$ とが一組となってレイアウトされており、 $m$ 列目の列方向に配列するRの画素群と $(m+1)$ 列目の列方向に配列するGの画素群との配線形成領域72には2本の電源線 $V_{dd-G}$ 、 $V_{dd-R}$ が一組となってレイアウトされている。また、 $(m+1)$ 列目の列方向に配列するGの画素群と $(m+2)$ 列目の列方向に配列するBの画素群との間の配線形成領域73に2本のデータ線 $I_{dat}$ が一組となってレイアウトされており、 $(m+2)$ 列目の列方向に配列するBの画素群と $(m+3)$ 列目の列方向に配列するRの画素群（図示せず）との間の配線形成領域74には電源線 $V_{dd-G}$ とデータ線 $I_{dat}$ とが一組となってレイアウトされている。

#### 【0035】

行方向及び列方向にレイアウトされている電源線 $V_{dd-R}$ は各々異なるレイヤに敷設されており、層間絶縁膜に開口するコンタクトホール $h_1$ を介して導通している。電源線 $V_{dd-G}$ 及び電源線 $V_{dd-B}$ についても同様に行方向及び列方向に対して異なるレイヤに敷設されており、コンタクトホール $h_2$ 及び $h_3$ を介してそれぞれ導通している。これらのコンタクトホール $h_1$ 、 $h_2$ 、及び $h_3$ は複数形成することで、配線の断線対策に効果があり、さらに配線の低抵抗化を図ることができるメリットがある。

#### 【0036】

本実施形態によれば、画素マトリクスの行方向に延在する同種の電源線が列方向に対して略等間隔の配列ピッチで形成され、かつ、画素マトリクスの列方向に延在する同種の電源線が行方向に対して略等間隔の配列ピッチで形成されるため、実施形態1と同様の効果が得られる他、電源線 $V_{dd-G}$ 、 $V_{dd-R}$ 、及び $V_{dd-B}$ が画素領域内においてマトリクス状に行方向及び列方向にレイアウトされているため、電源線 $V_{dd-G}$ 、 $V_{dd-R}$ 、及び $V_{dd-B}$ の配線抵抗を低減させることができ、有機EL素子への電流供給を十分に行うことができる。このため、特定の電源線だけが電流供給不十分になることによる輝度ムラの発生を抑止することができ、ク

ロストークの発生を低減できる。特に、大画面ディスプレイにおいては、画面内に十分な電流を均一に供給する必要があるため、特に効果がある。

#### 【0 0 3 7】

発明の実施の形態 4.

図 6 は本発明の電気光学装置を適用可能な電子機器の例を示す図である。同図 (a) は携帯電話への適用例であり、携帯電話 2 3 0 は、アンテナ部 2 3 1、音声出力部 2 3 2、音声入力部 2 3 3、操作部 2 3 4、及び本発明の有機 E L ディスプレイパネル 1 0 0 を備えている。このように本発明の有機 E L ディスプレイパネル 1 0 0 を携帯電話 2 3 0 の表示部として利用可能である。同図 (b) はビデオカメラへの適用例であり、ビデオカメラ 2 4 0 は、受像部 2 4 1、操作部 2 4 2、音声入力部 2 4 3、及び本発明の有機 E L ディスプレイパネル 1 0 0 を備えている。このように本発明の有機 E L ディスプレイパネル 1 0 0 は、ファインダーや表示部として利用可能である。同図 (c) は携帯型パーソナルコンピュータへの適用例であり、コンピュータ 2 5 0 は、カメラ部 2 5 1、操作部 2 5 2、及び本発明の有機 E L ディスプレイパネル 1 0 0 を備えている。このように本発明の有機 E L ディスプレイパネル 1 0 0 は、表示装置として利用可能である。

#### 【0 0 3 8】

同図 (d) はヘッドマウントディスプレイへの適用例であり、ヘッドマウントディスプレイ 2 6 0 は、バンド 2 6 1、光学系収納部 2 6 2 及び本発明の有機 E L ディスプレイパネル 1 0 0 を備えている。このように本発明の有機 E L ディスプレイパネル 1 0 0 は画像表示源として利用可能である。同図 (e) はリア型プロジェクターへの適用例であり、プロジェクター 2 7 0 は、筐体 2 7 1 に、光源 2 7 2、合成光学系 2 7 3、ミラー 2 7 4、ミラー 2 7 5、スクリーン 2 7 6、及び本発明の有機 E L ディスプレイパネル 1 0 0 を備えている。同図 (f) はフロント型プロジェクターへの適用例であり、プロジェクター 2 8 0 は、筐体 2 8 2 に光学系 2 8 1 及び本発明の有機 E L ディスプレイパネル 1 0 0 を備え、画像をスクリーン 2 8 3 に表示可能になっている。このように本発明の有機 E L ディスプレイパネル 1 0 0 は画像表示源として利用可能である。

## 【図面の簡単な説明】

【図 1】 本発明の有機 EL ディスプレイパネルの平面図である。

【図 2】 画素の主要回路構成図である。

【図 3】 第 1 の実施形態における配線レイアウトの説明図である。

【図 4】 第 2 の実施形態における配線レイアウトの説明図である。

【図 5】 第 3 の実施形態における配線レイアウトの平面図である。

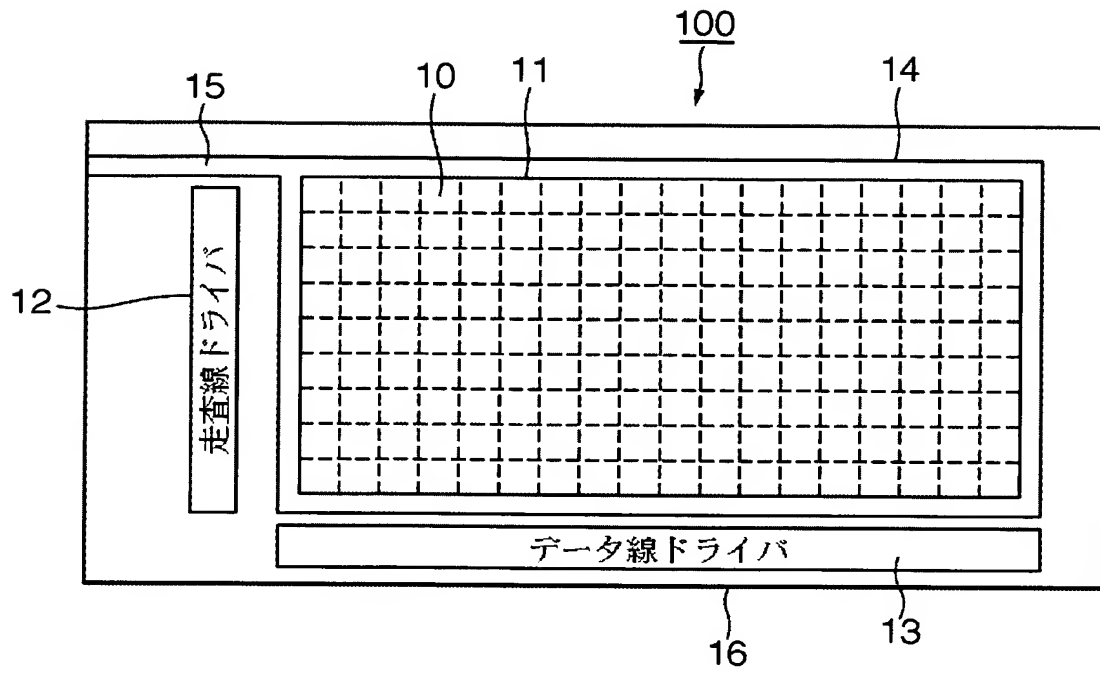
【図 6】 本発明の有機 EL ディスプレイの応用例の説明図である。

## 【符号の説明】

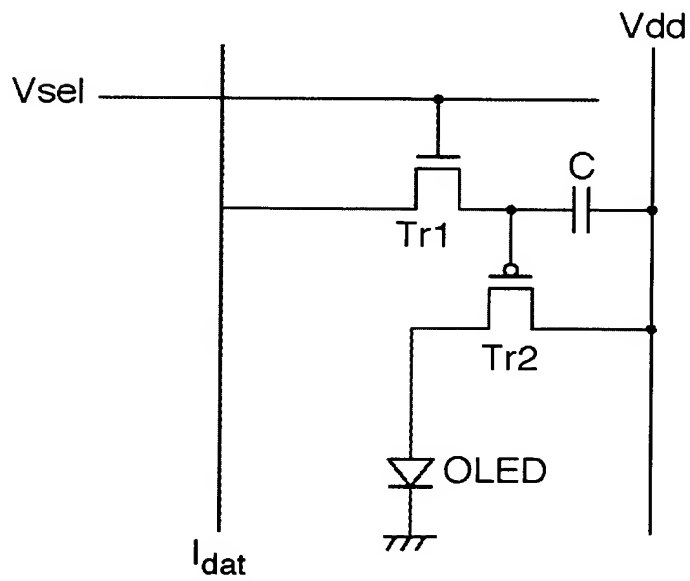
10…画素    11…画素領域    12…走査線ドライバ    13…データ線ドライバ  
14…陰極    15…陰極取出電極    16…基板    17…画素電極     $V_{dd}$ …電源線  
 $V_{sel}$ …走査線     $I_{dat}$ …データ線     $Tr1$ …スイッチングトランジスタ     $Tr2$ …駆動トランジスタ     $C$ …保持容量    OLED…発光部

【書類名】 図面

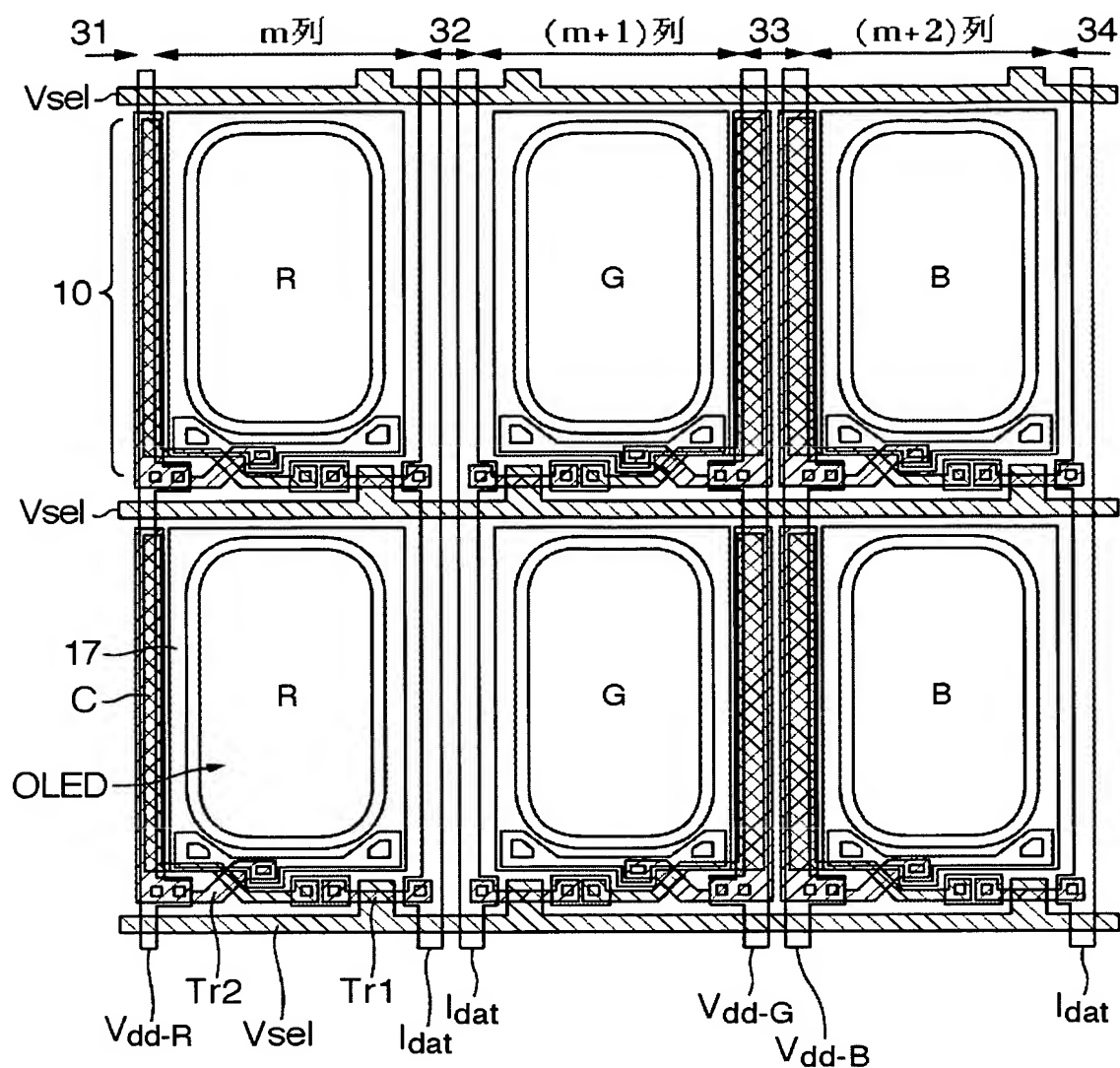
【図 1】



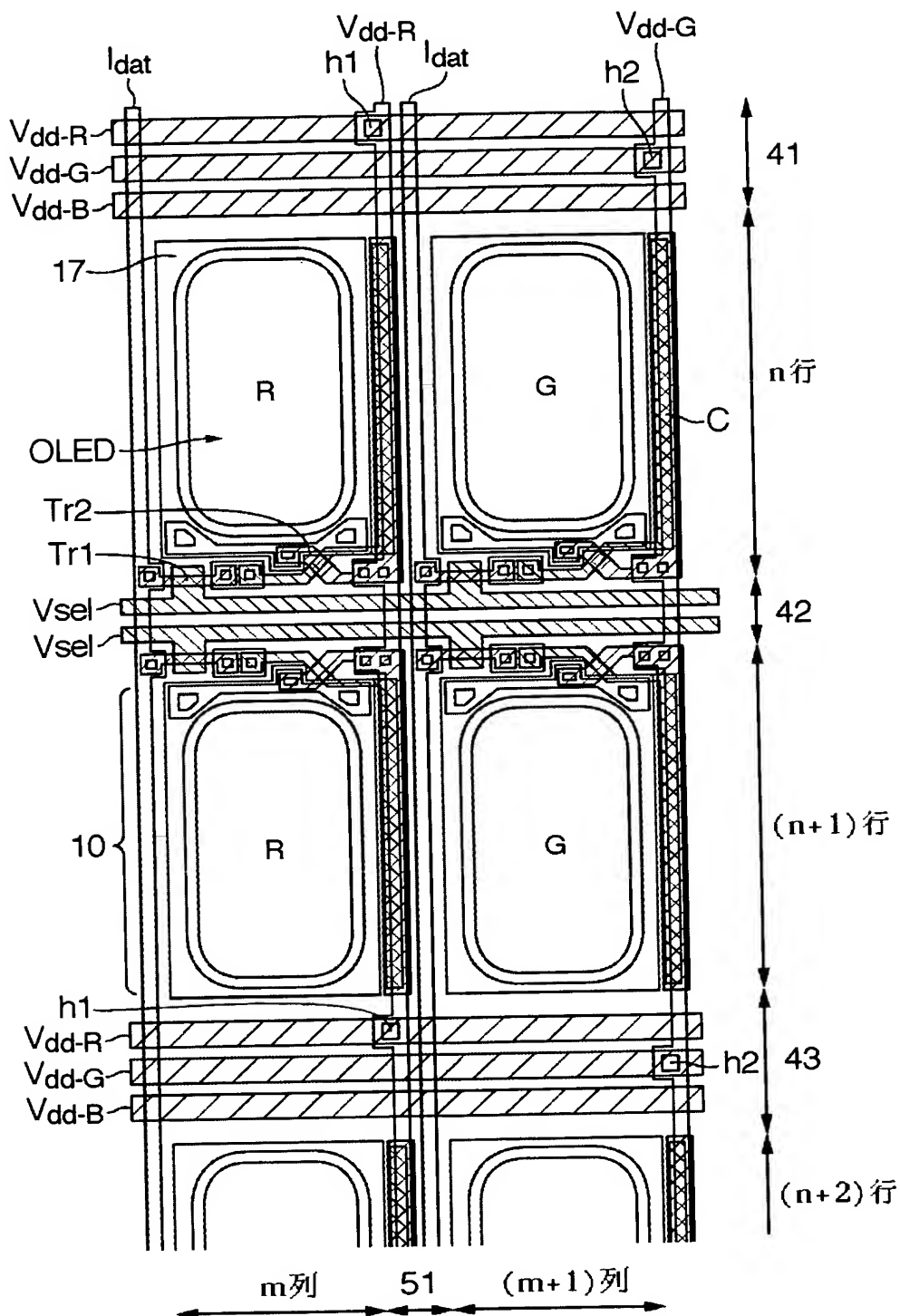
【図 2】



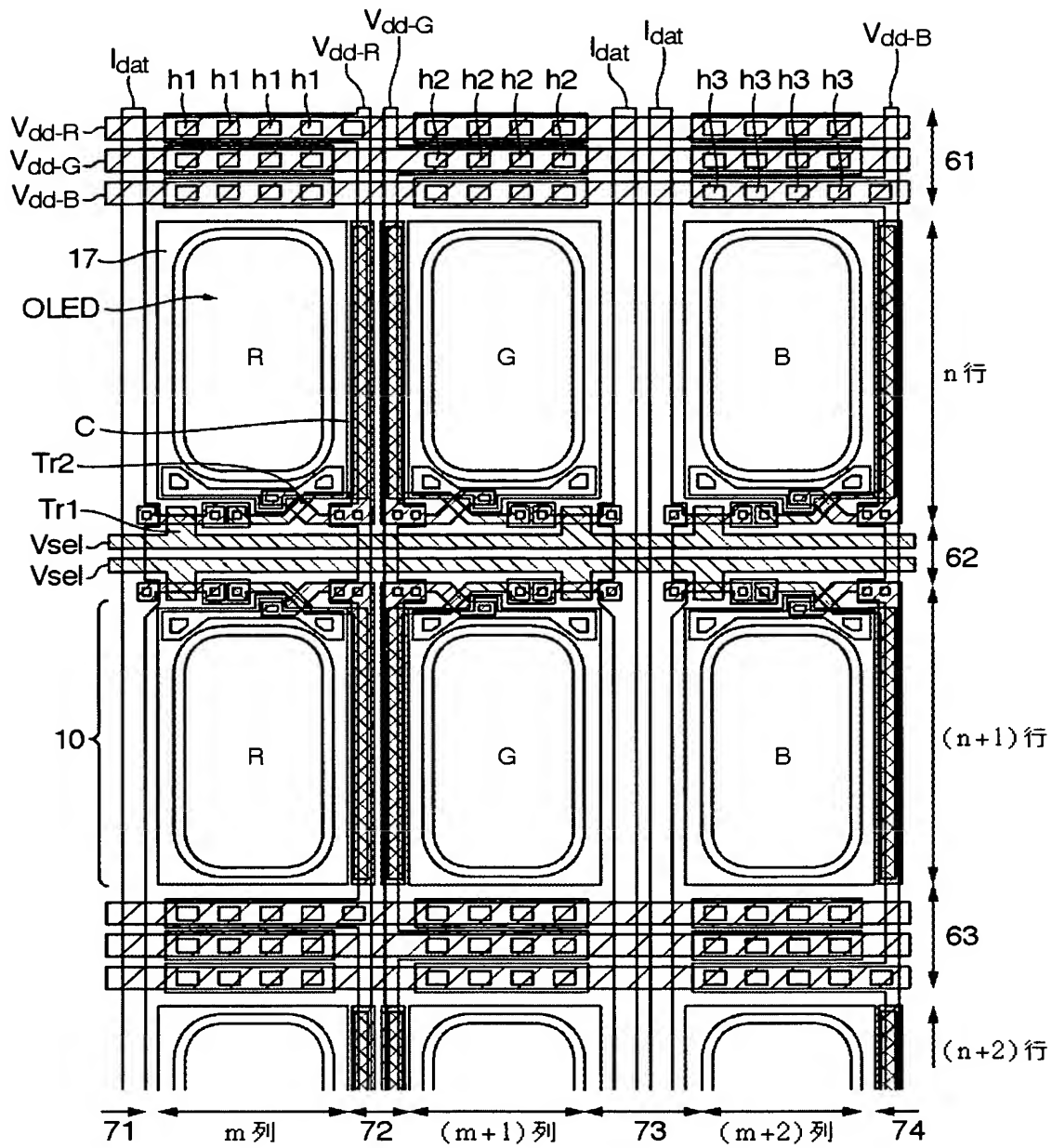
【図 3】



【図 4】

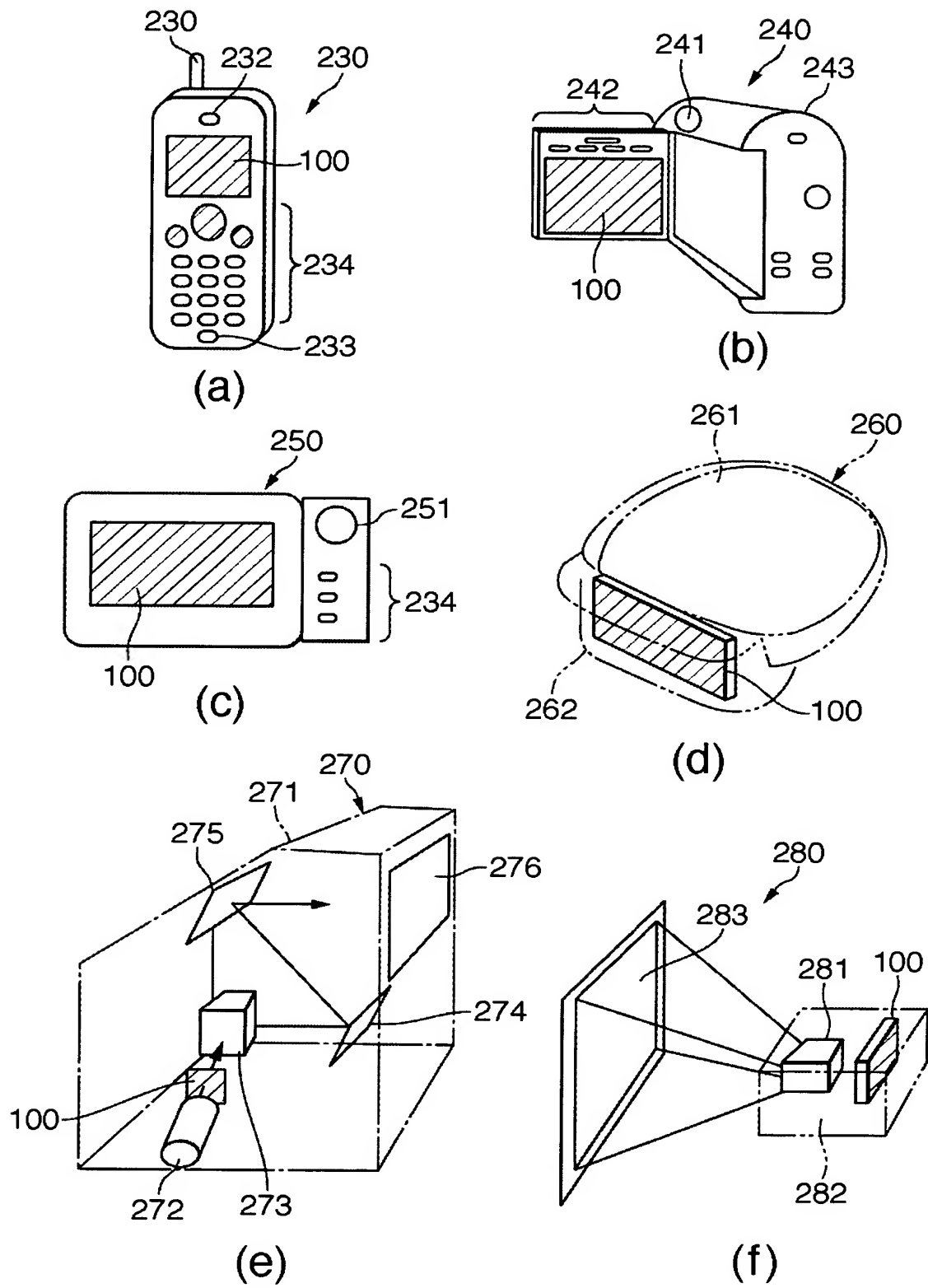


【図 5】





【図 6】



【書類名】 要約書

【要約】

【課題】 画素の配列ピッチを等間隔に設定しつつ、画素の開口率を高めることができる電源線の配線レイアウトを提案する。

【解決手段】 本発明の電気光学装置は、電源回路から電源供給を受けて駆動される電気光学素子を含む、マトリクス状に配置された複数の画素（10）を備えた電気光学装置であって、前記複数の画素（10）は、行方向又は列方向のうち少なくとも何れか一方向に並ぶ一連の画素からなる複数の画素群を構成しており、前記複数の画素群の各々の画素群の間に配線形成領域（31，32，33，34）が設けられ、前記配線形成領域（31，32，33，34）の幅は略等しいことを特徴とする。

【選択図】 図3

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 9 3 6 9 6
受付番号	5 0 2 0 1 5 0 6 7 9 0
書類名	特許願
担当官	第四担当上席 0 0 9 3
作成日	平成 1 4 年 1 0 月 8 日

< 認定情報・付加情報 >

【提出日】 平成14年10月 7日

次頁無

特願 2 0 0 2 - 2 9 3 6 9 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社